

2025 年【科學探究競賽-這樣教我就懂】

大專/社會組 科學文章格式

文章題目：Zen 微架構解密：現代 CPU 設計的效能與功耗平衡

摘要：Zen 架構為 AMD 帶來了強勁的市場回升，數年內 AMD 的市占率由原本的不到 5% 到如今超過 30%，其微架構設計中融合了高效能、低功耗、與良好指令集支援的多重考量。本文彙整了 Zen 架構背後的設計邏輯，從指令集特性、頁面大小、向量化處理，到快取策略與開發者最佳實踐，揭示現代 CPU 如何在複雜的設計選擇中取得最佳效能與能效平衡。

文章內容：(限 500 字~1,500 字)

Zen 微架構解密：現代 CPU 設計的效能與功耗平衡

Zen 系列微架構自推出以來，成為現代 x86 平台效能與能源效率的領先代表之一。其設計理念背後，融合了對市場需求、工作負載趨勢以及微架構技術演進的深刻洞察。本文將重點整理該架構中的核心設計考量與其對軟體開發者的啟示。

指令集與能效設計的誤解

常見的觀點認為 ARM 指令集因設計簡潔、固定長度，較適合低功耗裝置，而 x86 因歷史包袱繁重，較難達到相同能效。但實際上，指令集本身並非影響功耗的決定性因素。儘管 x86 採用可變長指令與較強的記憶體順序保證，在微架構上仍有足夠的空間透過技術手段（如 micro-op cache、精細譯碼機制）加以彌補。真正影響功耗與效能的關鍵，來自設計目標所針對的市場類型與應用場景。

快取與記憶體的關係：頁面大小與 TLB 壓力

現行 x86 平台作業系統普遍使用 4KB 為基礎頁面大小，此選擇對 TLB (Translation Lookaside Buffer) 造成較高壓力，限制了虛實位址轉譯的效率。若能廣泛使用更大的頁面（如 2MB），或中介大小的頁面（如 16KB 或 64KB），將能顯著降低 TLB Miss 率，進而提升效能。

為因應目前 OS 尚未全面支援中介頁面大小的現實，現代微架構已實作合併機制，能將連續配置的多個 4KB 頁面視為較大的單元處理。這項策略能在不修改 OS 的前提下，取得部份大頁面所帶來的效能優勢。

快取設計已不再受限於頁面大小

在 L1 快取方面，早期的設計往往遵循「頁面大小 $\times$ 路數」等於最大快取索引範圍的原則。但目前的設計已能突破此一限制，透過額外邏輯處理，使快取容量得以擴大，而不受

基本頁面大小的影響。這表示快取容量的提升已不再受限於頁面對齊問題，而是由整體效能與功耗考量主導。

64 Bytes：CPU 資料寬度的平衡點

在向量化設計上，CPU cache line 與向量寬度普遍採用 64 Bytes，是目前效能與功耗的平衡點。與此相對的是 GPU 平台，常見使用 128 Bytes 或更大的向量寬度。其背後原因在於兩者針對的負載不同：CPU 以低延遲、支援大量分支的負載為主，GPU 則重視高吞吐量與高度資料平行性。

當資料寬度進一步擴展（如 AVX-512 的 512-bit 向量），處理器必須大幅擴增資料通道，如從 L2 到 L1、再到運算單元的所有通路都需同步擴寬，這不僅增加設計複雜度，也提高功耗。在此情況下，資料通道必須具備動態關閉能力，以避免「單車走高速公路」時的能量浪費。

深層指令執行：非管線式單位的控制邏輯

某些高延遲指令（如 `sqrtpd`）即使只占用一個 uop (micro-op)，卻需要多個週期才能完成。這類指令會在進入執行單元後鎖定資源一段時間，直到結果計算完成，才能釋放給下一個指令。調度器會事先知道該單元的等待時間，並在期間暫停指令派發，這樣的設計有助於節省硬體資源，避免過度管線化導致的複雜與能耗。

軟體最佳化建議：更寬的向量、更長的基本區塊

針對軟體開發者，現代 CPU 架構鼓勵更多採用向量化、AI 加速指令等硬體資源，這能幫助充分發揮處理器潛能。雖然軟體需兼顧相容性，但若能針對新架構進行優化，將能顯著提升執行效能。

此外，合併條件分支、減少基本區塊中的跳躍行為，能讓指令流更順暢地透過預測與快取機制，加快整體執行速度。

結語

Zen 微架構展現了現代 CPU 在效能、能效、通用性之間的平衡藝術。從指令集彈性、快取結構、向量化支持，到資料路徑與記憶體管理的優化，每一項設計背後都來自對使用情境的深刻洞察。對開發者而言，理解這些底層運作邏輯，不僅有助於撰寫高效能程式，也能更好地與硬體設計目標協同發展。

參考資料

1. <https://www.computerenhance.com/p/an-interview-with-zen-chief-architect>
2. <https://www.amd.com/en/technologies/zen-core.html>
3. <https://www.anandtech.com/show/21469/amd-details-ryzen-ai-300-series-for-mobile-strix->

[point-with-rdna-35-igpu-xdna-2-npu](#)

4. <https://chipsandcheese.com/p/arm-or-x86-isa-doesnt-matter>
5. <https://en.wikichip.org/wiki/amd/microarchitectures/zen>

註：

1. 未使用本競賽官網提供「科學文章表單」格式投稿，將不予審查。
2. 字數沒按照本競賽官網規定之限 500 字~1,500 字，將不予審查。

PS.摘要、參考資料與圖表說明文字不計入。

3. 建議格式如下：

- 中文字型：微軟正黑體；英文、阿拉伯數字字型：Times New Roman
- 字體：12pt 為原則，若有需要，圖、表及附錄內的文字、數字得略小於 12pt，不得低於 10pt
- 字體行距，以固定行高 20 點為原則
- 表標題的排列方式為向表上方置中、對齊該表。圖標題的排列方式為向圖下方置中、對齊該圖